

## VERDI : Vias de haute densité et report de puces pour intégration 3D

### Contexte

L'intégration 3D se révèle une solution indispensable à la réalisation de circuits multifonctions à haute performance, rassemblant toutes les fonctionnalités d'un ordinateur, telles qu'elles seront embarquées dans les futures générations de téléphones portables.

Les marchés visés pour les systèmes de communication nomades sont en pleine croissance et les segments concernés par le développement des technologies 3D à base de TSV à forte densité atteindra entre 400 et 500 millions d'unités en 2011.

D'un point de vue écologique, l'empilement de puces est censé réduire les consommables et l'énergie nécessaires à l'intégration de circuits hétérogènes complets.

### Partenaires

#### Grandes entreprises

STMicroelectronics - Tegal - ALES

#### PME

Alchimer

#### Laboratoires de recherche

CEA/LETI-Minatec - IMPEC-LAHC

### Chiffres clés

Budget : 11 millions d'euros

Durée : 24 mois

Effort total : 53,8 hommes x an

### Innovation

Les objectifs techniques du projet sont de développer les procédés nécessaires à l'élaboration d'une structure 3D et de démontrer sa faisabilité et ses performances. Les applications ciblées nécessitent un très grand nombre de vias.

Ces densités visées, typiquement de l'ordre de 1 million TSV/cm<sup>2</sup>), nécessaires à la réalisation de circuits de télécommunications, qui tirent pleinement parti des avantages de l'intégration 3D, requièrent des innovations technologiques majeures pour la réalisation des TSV, l'amincissement des plaques et les techniques de collage. De plus, la modélisation complète des empilements et connexions 3D est un pré-requis indispensable à la conception du démonstrateur, qui doit démontrer l'intérêt de cette approche.

