

OFFRE DE STAGE

Ingénieur conception et vérification digitale (H/F)

Cortus est une société française innovante spécialisée dans la conception et développement des puces pour le compte de ses clients utilisant essentiellement des propriétés intellectuelles (IPs) développées par Cortus.

La solution Cortus est complétée par toute la chaîne d'outils (compilateurs, déboguer, RTOS, suite logicielle, etc) indispensables au développement d'une application complexe, ainsi qu'une bibliothèque de périphériques nécessaires à définir un microcontrôleur, une puce ou ASIC (Application-Specific Integrated Circuit) / SoC (System-on-Chip).

Lieu : CORTUS S.A.S
Montpellier (34)

Contrat: Stage de 5 à 6 mois

Contact: Tel: +33 4 30 96 70 00
E-mail: hr@cortus.com

Profil & qualifications:

- Formation en diplôme d'ingénieur ou master en microélectronique BAC+5
- Programmation en langage de modélisation RTL
- Programmation en C/C++
- Programmation python
- Anglais lu, parlé, écrit

Sujet 1. Conversion des IP en SystemVerilog

- Réaliser le portage des modules Verilog en SystemVerilog selon les règles de codage en vigueur
- Rédiger les spécifications et architectures manquantes selon la méthode en vigueur
- Mettre à jour et organiser le plan de test sur les IP, valider les IP, faire la couverture le code
- Optimisation du bus APS en éliminant le multiplexage sur l'adresse
- Proposer une mise à jour du RTL generator de Ruby vers Python
- Liste des modules: I2C, Timer Capture, Timer Compare, Xbar, Xbar AXI, DDR3, Watchdog

Sujet 2. Conception et validation d'IP et sous-système à destination d'un SoC RISC-V

- Réalisation de tests fonctionnels sur le système
- Conception d'une interface Flash et integration dans le système
- Conception d'une interface MPI
- Conception d'une solution CCSDS encoder/decoder
- Conception d'une solution ECC

Sujet 3. Etude et mise en place d'une plateforme de développement automotive

- Etude des solutions de RTOS à destination du marché de l'automotive pour la fiabilité
- Rédaction d'un document de méthodologie
- Portage du RTOS sur les processeurs RISC-V

Sujet 4. Conception d'un diviseur haute fréquence pipeliné

- Rédiger les spécifications et architectures spécifications manquantes selon la méthode en vigueur
- Concevoir le design
- Réaliser le plan de tests et la validation
- Rendre le design paramétrisable (largeur des opérands et étages de pipeline)
- Supportant les opérands signées et non signées.
- On cherche à obtenir le quotient et le reste de la division

Sujet 5. Réaliser le portage de SpecInt 2006 sur processeur RISC-V

- Réaliser le portage sur les processeur RISC-V de Cortus
- Mesurer les performances et analyser les résultats
- Travailler en collaboration avec l'équipe du compilateur pour améliorer les résultats