

Titre du stage

Etude d'une hétérostructure Silicium/matériau III-V pour la conception de photodiodes à avalanche à photon unique (SPAD) pour le proche infrarouge

Contexte général

Les photodiodes à avalanche à photon unique (SPAD) sont devenues des photodétecteurs très appréciés pour la mesure dite de « temps de vol » dans le proche infrarouge grâce à leur forte sensibilité et grande rapidité [1]. Les SPAD sont facilement intégrables dans les technologies CMOS pour couvrir les longueurs d'onde de 500 à 950nm [2]. Pour les longueurs d'ondes supérieures, l'association d'architecture complexe (ingénierie de jonction, lentille, tranchée d'isolation etc.) et de matériaux davantage photosensibles dans le proche infrarouge (SiGe, Ge, matériaux III-V) devient nécessaire, entraînant une complexité technologique [3] [4] [5].

L'INL, qui a déjà travaillé sur le développement de nouvelles architectures de photodiode à avalanche à photon unique [6], envisage de travailler sur la conception de SPADs à base d'hétérostructure silicium/matériau III-V, capables de détecter des photons dans le proche infrarouge.

Objectifs du stage

Dans l'objectif de concevoir des photodiodes à avalanche à photon unique fonctionnant dans le proche infrarouge et compatibles avec les structures CMOS standards, il est étudié au sein de l'INL une architecture de SPAD intégrant une hétérostructure silicium/matériau III-V. L'objectif du stage sera de travailler sur la simulation et la modélisation de cette architecture, dans le but de proposer des idées d'amélioration des futures architectures fabriquées.

Dans le détail, après avoir établi un état de l'art et pris connaissance des compétences et moyens disponibles dans le laboratoire INL et les laboratoires partenaires, les objectifs seront les suivants :

- Prendre en main le logiciel TCAD Sentaurus™, afin de poursuivre le développement d'une simulation de l'architecture de SPAD comportant une hétérostructure silicium/matériau III-V ;
- Proposer des nouvelles architectures en identifiant les difficultés technologiques et les limites ;
- Proposer des pistes d'amélioration des architectures choisies, basées sur des études paramétriques des architectures simulées ;
- Etudier les possibilités offertes par Sentaurus™ dans la prise en compte de phénomènes physiques au niveau de l'interface silicium/matériau III-V, et les incorporer si nécessaire dans la simulation de l'architecture.

Références

- [1] E. Charbon et al. "SPAD-Based Sensors" in book "TOF Range-Imaging Cameras" ISBN 978-3-642-27523-4 (2013).
- [2] A. Rochas et al. "Low-noise silicon avalanche photodiodes fabricated in conventional CMOS technologies" in *IEEE Transactions on Electron Devices*, vol. 49, no. 3, pp. 387-394, March 2002 (<https://doi.org/10.1109/16.987107>).
- [3] S. Pellegrini et al. "Industrialised SPAD in 40 nm Technology" *International Electron Devices Meeting (IEDM)*, pp. 16.5.1-16.5.4, 2017 (<https://doi.org/10.1109/IEDM.2017.8268404>).
- [4] R. E. Warburton et al. "Ge-on-Si Single-Photon Avalanche Diode Detectors: Design, Modeling, Fabrication, and Characterization at Wavelengths 1310 and 1550 nm" *IEEE Transactions on Electron Devices*, no 11, p.3807-3813, nov.2013 (<https://doi.org/10.1109/TED.2013.2282712>).
- [5] A. Tosi et al. "InGaAs/InP SPAD with improved structure for sharp timing response" *2012 International Electron Devices Meeting, 2012*, pp. 24.4.1-24.4.4 (<https://doi.org/10.1109/IEDM.2012.6479095>).
- [6] T. Chaves de Albuquerque et al. "Integration of SPAD in 28nm FDSOI CMOS technology" *ESSDERC 2018*, 3-6 sept. 2018, Dresden, Germany, <http://dx.doi.org/10.1109/ESSDERC.2018.8486852>.

Lieu du stage et encadrement

- Institut des Nanotechnologies de Lyon – INL, Campus LyonTech-La Doua, 3 avenue Enrico Fermi, Bâtiment Irène Joliot Curie, Villeurbanne (<https://inl.cnrs.fr/>). Encadrement : Thibault Cazimajou, Francis Calmon (équipe Électronique)

Conditions

Stage (5-6 mois) indemnisés ~ 600€/mois.

Profil attendu

Ingénieur / Master M2 microélectronique/ nanotechnologie avec connaissances en physique et technologie des semi-conducteurs. Des expériences en simulation TCAD et en fabrication en salle blanche seraient appréciées.

Candidature

Envoyer par email CV, lettre de motivation et relevé de notes M1-M2 à : thibault.cazimajou@univ-lyon1.fr et francis.calmon@insa-lyon.fr.